

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-15601

(P2001-15601A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)IntCl.⁷

識別記号

FI

テームト(参考)

H01L 21/82
27/04
21/822H01L 21/82
27/04L 5F038
D 5F064

審査請求 未請求 請求項の数9 OL (全6頁)

(21)出願番号 特願平11-180815

(22)出願日 平成11年6月25日(1999.6.25)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 川澄 篤

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100092820

弁理士 伊丹 勝

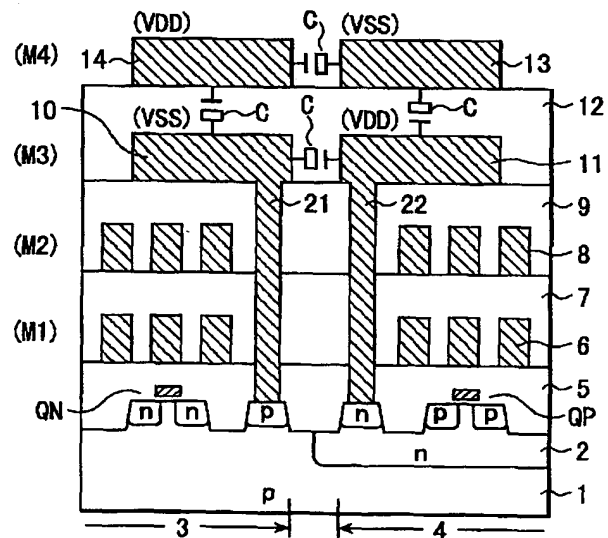
Fターム(参考) 5F038 AV06 BH03 BH19 CA06 CA07
CA10 CD02 CD14 EZ20
5F064 CC12 CC23 EE18 EE22 EE26
EE27 EE43 EE45 EE52

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 電源線ノイズの影響を効果的に低減することを可能とした電源線レイアウトを持つ半導体集積回路を提供する。

【解決手段】 シリコン基板1は、NMOSトランジスタ領域3とPMOSトランジスタ領域4とに区画され、M1、M2の金属層により信号配線6、8が形成される。PMOSトランジスタ領域3の上部に、VSS線10とVDD線14が同じ幅をもって重ねられ、NMOSトランジスタ領域4の上部にVDD線11とVSS線13が同じ幅をもって重ねられる。VSS線10とVDD線11とは同じM3層をパターンニングして形成され、VSS線13とVDD線14は同じM4層をパターンニングして形成される。VSS線10、13と、VDD線11、14との間には、MOSキャパシタCが接続される。



【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板に形成された素子と、この素子が形成された半導体基板上に形成された信号配線、低レベル側電源線、及び高レベル側電源線とを有する半導体集積回路において、

前記低レベル側電源線と高レベル側電源線は、略同じ幅をもって層間絶縁膜を挟んで上下に重なるように配設されていることを特徴とする半導体集積回路。

【請求項2】 前記半導体基板は、NMOSトランジスタが形成されたNMOSトランジスタ領域とPMOST

トランジスタが形成されたPMOSTトランジスタ領域とに区画されており、前記半導体基板のNMOSトランジスタ領域とPMOST

トランジスタ領域上にそれぞれ、第1の層間絶縁膜を介して第1層の低レベル側電源線と第1層の高レベル側電源線が形成され、前記第1層の低レベル側電源線と第1層の高レベル側電源線上にそれぞれ、第2の層間絶縁膜を介して重なるように、第2層の高レベル側電源線と第2層の低レベル側電源線が形成されていることを特徴とする請求項1記載

の半導体集積回路。

【請求項3】 前記第1層の低レベル側電源線及び第1層の高レベル側電源線はそれぞれ、前記第1の層間絶縁膜を貫通するコンタクトを介して前記NMOST

トランジスタ領域及びPMOSTトランジスタ領域に接続され、前記第2層の高レベル側電源線及び第2層の低レベル側電源線はそれぞれ、前記第2の層間絶縁膜を貫通するコンタクトを介して前記第1層の高レベル側電源線及び第1層の低レベル側電源線と相互接続されていることを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記第1層の低レベル側電源線と第1層の高レベル側電源線は第1の金属膜をパターン形成したものであり、

前記第2層の低レベル側電源線と第2層の高レベル側電源線は第2の金属膜をパターン形成したものであることを特徴とする請求項2記載の半導体集積回路。

【請求項5】 前記信号配線は、前記低レベル側電源線及び高レベル側電源線より下に形成されていることを特徴とする請求項1記載の半導体集積回路。

【請求項6】 半導体基板と、この半導体基板に形成された素子と、この素子が形成された半導体基板上に形成された信号配線、低レベル側電源線、及び高レベル側電源線とを有する半導体集積回路において、

前記低レベル側電源線と高レベル側電源線は、少なくとも2層ずつが層間絶縁膜を介して交互に上下に重なるように配設されていることを特徴とする半導体集積回路。

【請求項7】 前記信号配線は、前記低レベル側電源線及び高レベル側電源線のうち最下層電源線と同じ金属膜をパターン形成したものであることを特徴とする請求項6記載の半導体集積回路。

【請求項8】 前記低レベル側電源線及び高レベル側電源線は、前記半導体基板の素子が形成されていない領域上に略同じ幅をもって重なるように配設されていることを特徴とする請求項6記載の半導体集積回路。

【請求項9】 前記低レベル側電源線と高レベル側電源線の間に前記半導体基板に形成されたMOSキャパシタが接続されていることを特徴とする請求項1又は6記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路に係り、特に電源線のレイアウトに関する。

【0002】

【従来の技術】CMOS集積回路では、シリコン基板はNMOSTトランジスタを形成するNMOSTトランジスタ領域とPMOSTトランジスタを形成するPMOSTトランジスタ領域に区画される。CMOS集積回路では、回路構成上、高レベル側電源線（以下、VDD線という）はPMOSTトランジスタ領域に直接接続され、低レベル側電源線（以下、VSS線という）はNMOSTトランジスタ領域に直接接続されることが多い。このため一般に、VDD線はPMOSTトランジスタ領域上に配置され、VSS線はNMOSTトランジスタ領域上に配置される。

【0003】これらの電源線の幅は、供給すべき電流の総量と許容できる電圧降下を考慮して決定される。簡単に説明すれば、電源線の抵抗値をR、消費電流をIとして、 $V = R \times I$ なる電圧降下Vは電源線ノイズとなるから、これが回路性能に悪影響を及ぼさない程度に抵抗値Rを抑えるように電源線の幅が決定される。

【0004】近年、集積回路製造技術の進歩により、トランジスタのサイズ縮小と駆動力の向上が図られ、これによりトランジスタ領域上の電源線の太さは減少し、供給すべき電流の総量は増大している。電源線はトランジスタ領域を外れて配置することは可能であるが、これはチップ面積を増大させる。チップ面積を増大させないためには、近年の集積回路で実用されている多層配線技術を利用すればよい。例えば、NMOSTトランジスタ領域上に、VSS線を2層に分けて積層し、PMOSTトランジスタ領域上に、VDD線を2層に分けて積層する。

【0005】一方、集積回路における電源線では、上述した抵抗によるノイズの他に、インダクタンスによるノイズの問題もある。電源線の他、集積回路チップとこれを収納するパッケージを接続するワイヤや接続リード等のインダクタンスもあり、これらの総インダクタンスをLとしたとき、 $V = -L (di/dt)$ で表される電源線ノイズが発生する。また、特に同期式の半導体集積回路では、電流は定常的に流れず、クロックに同期して大きなピーク電流が流れる。このピーク電流による電圧降下も電源線ノイズとなるからこれを抑えることが必要になる。これらのノイズ低減のためには、非常に太い電源

線を必要とする。

【0006】

【発明が解決しようとする課題】以上のように、従来の半導体集積回路では、電源線ノイズを低減しようとする、電源線の幅が大きくなるという問題がある。VDD線とVSS線をそれぞれ2層構造とすることは、チップ面積を増大させずに実質的に電源線抵抗を下げる上で有効であるが、この方式でも前述したピーク電流等による電源線ノイズを効果的に低減するには不十分である。ピーク電流による電源線ノイズを低減するには、VDD線とVSS線とを大きな容量で結合させる手法が有効である。即ち、VDD線とVSS線とを容量結合させれば、一方での急峻な電圧変化が他方に結合され、VDD線とVSS線が同相で電圧変化することにより、回路に供給される電源電圧を一定に保持することができる。そしてそのためには、VDD線とVSS線の間にMOSキャパシタを接続することが有効である。しかし、VDD線とVSS線の間にMOSキャパシタを接続しても、そのMOSキャパシタを接続した位置から離れた位置では、抵抗の影響で容量結合の効果が相対的に低下する。従って、MOSキャパシタにより長いVDD線とVSS線をその長手方向の全体にわたって容量結合させるには、MOSキャパシタを多数必要とする。これは、チップ面積の増大をもたらす。

【0007】この発明は、上記事情を考慮してなされたもので、電源線ノイズの影響を効果的に低減することを可能とした電源線レイアウトを持つ半導体集積回路を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明は、第1に、半導体基板と、この半導体基板に形成された素子と、この素子が形成された半導体基板上に形成された信号配線、低レベル側電源線、及び高レベル側電源線とを有する半導体集積回路において、前記低レベル側電源線と高レベル側電源線は、略同じ幅をもって層間絶縁膜を挟んで上下に重なるように配設されていることを特徴とする。

【0009】この発明によると、低レベル側電源線(VSS線)と高レベル側電源線(VDD線)を上下に略同じ幅をもって重ねることにより、VSS線とVDD線を全体的に大きく容量結合させることができる。この容量結合の結果、VSS線或いはVDD線において電源線ノイズが発生した場合にも、VSS線とVDD線とで同相の電圧変化となり、回路に与える影響が低減される。

【0010】この発明において好ましくは、VSS線とVDD線とはそれぞれ少なくとも2層ずつ次のような態様が積層される。即ち半導体基板がNMOSTランジスタが形成されたNMOSTランジスタ領域とPMOSTランジスタが形成されたPMOSTランジスタ領域とに区画されている場合に、NMOSTランジスタ領域とPMOSTランジスタ領域上にそれぞれ、第1の層間絶縁

膜を介して第1層のVSS線と第1層のVDD線が形成される。第1層のVSS線と第1層のVDD線上にそれぞれ、第2の層間絶縁膜を介して重なるように第2層のVDD線と第2層のVSSが形成される。

【0011】このような電源線レイアウトを用いることにより、VSS線とVDD線の容量結合を大きく保ち、しかもチップ面積を増大させることなく、VSS線及びVDD線の抵抗を小さくすることができる。この場合更に好ましくは、第1層のVSS線及び第1層のVDD線はそれぞれ、第1の層間絶縁膜を貫通するコンタクトを介してNMOSTランジスタ領域及びPMOSTランジスタ領域に接続される。第2層のVDD線及び第2層のVSS線はそれぞれ、第2の層間絶縁膜を貫通するコンタクトを介して第1層のVDD線及び第1層のVSSと相互接続される。

【0012】この発明は、第2に、半導体基板と、この半導体基板に形成された素子と、この素子が形成された半導体基板上に形成された信号配線、低レベル側電源線、及び高レベル側電源線とを有する半導体集積回路において、前記低レベル側電源線と高レベル側電源線は、少なくとも2層ずつが層間絶縁膜を介して交互に上下に重なるように配設されていることを特徴とする。

【0013】この発明によると、一つの低レベル側電源線(VSS線)は上下から高レベル側電源線(VDD線)により挟まれ、また一つのVDD線は上下からVSS線により挟まれることになる。従って、VSS線とVDD線の間の容量結合はより大きなものとなり、電源線ノイズの影響が低減される。またこの発明において好ましくは、VSS線及びVDD線は、半導体基板の素子が形成されていない領域に略同じ幅をもって重なるように配設される。

【0014】更に、第1及び第2の発明において、好ましくは、VSS線とVDD線の間に半導体基板に形成されたMOSキャパシタが接続される。これにより、VSS線とVDD線の容量結合は一層大きなものとなる。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1は、この発明の実施の形態1によるCMOS集積回路の模式的な断面構造を示す。シリコン基板1は例えばp型であり、これにn型ウェル2が形成されて、NMOSTランジスタ領域3とPMOSTランジスタ領域4とが区画されている。図では、NMOSTランジスタ領域3に一つのNMOSTランジスタQNを示し、PMOSTランジスタ領域4に一つのPMOSTランジスタQPを示している。

【0016】素子形成された基板1上には、信号配線と電源線とが多層に配設される。この実施の形態の場合、信号配線と電源線とに4層の金属層M1~M4が用いられている。即ち、NMOSTランジスタQN及びPMO

SトランジスタQ_Pが形成された基板上に層間絶縁膜5を介して、M1層のパターニングにより第1の信号配線6が形成され、更にこの上に層間絶縁膜7を介して、M2層のパターニングにより第2の信号配線8が形成されている。

【0017】第2の信号配線8の上には、層間絶縁膜9を介して、M3層のパターニングによりVSS線10とVDD線11が形成されている。VSS線10は、NMOSTランジスタ領域3の上部に位置し、VDD線11は、PMOSTランジスタ領域4の上部に位置する。これらのVSS線10及びVDD線11の上に更に層間絶縁膜12を介して、M4層のパターニングにより、VSS線13とVDD線14が形成されている。VSS線13は、下地のVDD線11と略同じ幅WをもってVDD線11に重なるようにレイアウトされ、VDD線14は同様に、下地のVSS線10と略同じ幅WをもってVSS線10に重なるようにレイアウトされている。このレイアウトの様子は、図2に示した通りである。幅Wは、20～50μmに設定され、VDD線14、11とVSS線10、13とは長手方向のほぼ全長にわたって、重なるようにする。

【0018】NMOSTランジスタ領域3上のVSS線10は、層間絶縁膜5、7、9を貫通するコンタクト21によりNMOSTランジスタ領域3の基板1に接続される。PMOSTランジスタ領域4上のVDD線11は同様に、層間絶縁膜5、7、9を貫通するコンタクト22によりPMOSTランジスタ領域4のn型ウェル2に接続される。NMOSTランジスタ領域3上の最上層のVDD線14とPMOSTランジスタ領域4上のVDD線11とは、図2に示すようにビアコンタクト23を介して相互接続される。同様に、図2に示すように、PMOSTランジスタ領域4上の最上層のVSS線13とNMOSTランジスタ領域3上のVSS線10とは、ビアコンタクト24を介して相互接続される。

【0019】VSS線10とVDD線11及び14との抵抗面の間、及びVSS線13とVDD線11及び14との対抗面の間には、それぞれ結合容量が入るが、この実施の形態の場合これらの結合容量とは別に、図1に等価的に示したように、少なくとも一つずつのMOSキャパシタCが接続される。MOSキャパシタCは、基板1に形成されるMOSトランジスタを用いて構成される。図3は具体的に、VDD線11とVSS線10の間に接続される一つのMOSキャパシタCの構造とそれらの接続関係を示している。図3のMOSキャパシタCはNMOSTランジスタの例である。この場合、ゲート電極31をVDD線に接続し、ソース32とドレイン33を共通にVSS線に接続する。この接続により、NMOSTランジスタはチャンネルに反転層が形成されて、大きな容量を示す。PMOSTランジスタを用いた場合には、ゲートをVSS線に接続し、ソース及びドレインをVDD

線に接続すればよい。

【0020】この実施の形態によると、NMOSTランジスタ領域3上にはVSS線10とVDD線14が同じ幅をもって重ねて積層され、VSS線10とVDD線14とは層間絶縁膜14を挟んで大きな容量結合を持つ。同様に、PMOSTランジスタ領域4上にはVDD線11とVSS線13とが同じ幅をもって重ねられ、VDD線11とVSS線13とは大きな容量結合を持つ。

【0021】具体的に、VDD線とVSS線の幅をそれぞれ50μm、長さを共に200mmとし、この全てが重なるとする。また、層間絶縁膜12の厚みを1μm、比誘電率を4.0とする。このときVDD線とVSS線の間の結合容量C_pは、 $C_p = 4.0 \times 8.855 \times 10^{-12} \times 50 \times 10^{-6} \times 2 \times 200 \times 10^{-3} / 10^{-6} = 708.4$ [pF]となる。従って、上下に重なるVDD線とVSS線とは、一方で急峻な電圧変化が生じたとしてもこれが他方にも結合する結果、同相の電圧変化を示し、回路に対する電源線ノイズの影響が低減される。また、MOSキャパシタのみを用いて局所的に結合させる場合と異なり、VSS線とVDD線が長手方向に全体的に大きく容量結合するから、電源線ノイズの場所依存性がなくなる。

【0022】また、多層配線技術を利用して、信号配線とは別の金属層により、VSS線とVDD線をそれぞれ2層ずつ配置することにより、集積回路チップの面積を増大させることなく、低抵抗のVDD線及びVSS線を得ることができる。更にこの実施の形態の場合、各VSS線とVDD線の間にMOSキャパシタを接続することにより、一層容量結合を大きくして、電源線ノイズの影響を効果的に低減することができる。

【0023】更にまた、この実施の形態の場合、NMOSTランジスタ領域3上では、VSS線10がVDD線14の下にあり、NMOSTランジスタ領域3に直接接続されることが多いVSS線10のNMOSTランジスタ3領域へのコンタクトを容易にしている。同様に、PMOSTランジスタ領域4上では、VDD線11がVSS線13の下にあり、PMOSTランジスタ領域4に直接接続されることが多いVDD線11のPMOSTランジスタ4領域へのコンタクトを容易にしている。この結果、コンタクト不良等を生じることなく、信頼性の高い集積回路が得られる。

【0024】〔実施の形態2〕図4は、実施の形態2によるCMOS集積回路の模式的構造を示している。この実施の形態においても、4層の金属層M1～M4を用いて信号配線と電源線を形成している。基板1は先の実施の形態1と同様に、PMOSTランジスタ領域4とNMOSTランジスタ3が形成されている。トランジスタが形成された基板1上に、層間絶縁膜41を介して、M1層のパターニングにより、VDD線42と信号配線43が形成されている。VDD線42は、層間絶縁膜41に

形成されたコンタクト 44 を介して PMOS 領域 3 に接続される。

【0025】VDD 線 42 と信号配線 43 の上に、層間絶縁膜 44 を介して、M2 層のパターニングにより VSS 線 45 が形成されている。この VSS 線 45 は、少なくとも一部 VDD 線 42 と重なるようにパターニングされ、また層間絶縁膜 41, 44 を貫通するコンタクト 46 により、NMOS トランジスタ領域 3 に接続されている。VSS 線 45 の上には、層間絶縁膜 47 を介して、M3 層のパターニングにより VDD 線 48 が形成されている。この VDD 線 48 は少なくとも一部が VSS 線 45 に重なり、また図では示していないが適当な箇所では VDD 線 42 に対してビアコンタクトにより接続される。

【0026】VDD 線 48 上には更に層間絶縁膜 49 を介して、M4 層のパターニングにより VSS 線 50 が形成されている。VSS 線は、少なくとも一部 VDD 線 48 と重なり、またビアコンタクト 51 を介して下の VSS 線 45 と接続される。具体的にこの実施の形態の場合、ビアコンタクト 51 は、下地の VDD 線 48 を取り囲むようにして長手方向の複数箇所（図 4 では 2 箇所示している）に形成される。

【0027】以上のようにこの実施の形態では、VDD 線 42, 48 と VSS 線 45, 50 が交互に 2 層ずつ積層されている。即ち、VSS 線 45 は、上下から VDD 線 48, 42 により挟まれ、VDD 線 48 は、上下から VSS 線 50, 45 により挟まれる。以上により、VDD 線 42, 48 と VSS 線 45, 50 との間の容量結合は大きいものとなり、電源線ノイズの影響が低減される。更に、VDD 線 48 を取り囲むように長手方向にビアコンタクトを多数配置すれば、VDD 線 48 と VSS 線 45, 50 との間の容量結合はより強くなる。この実施の形態においても好ましくは、図 4 に示したように、VDD 線 42, 48 と VSS 線 45, 50 の間に、MOS キャパシタ C を挿入する。これにより、一層大きな容量結合が可能になる。

【0028】【実施の形態 3】図 5 は、実施の形態 3 による CMOS 集積回路の模式的構造を示している。この実施の形態においても、4 層の金属層 M1~M4 を用いて信号配線と電源線を形成している。基板 1 は先の実施の形態 1 と同様に、PMOS トランジスタ領域 4 と NMOS トランジスタ 3 が形成されているが、VSS 線及び VDD 線は、PMOS トランジスタ領域 3 及び NMOS トランジスタ 4 の外の素子分離領域 60 上に配設される。

【0029】即ち、トランジスタが形成された基板 1 上に、層間絶縁膜 51 を介して、M1 層のパターニングにより、VSS 線 52 と信号配線（図示しない）が形成される。VSS 線 52 は、図の紙面に直交する方向に長く配設される。この上に層間絶縁膜 53 を介して、VDD

線 54 と信号配線（図示しない）が形成される。VDD 線 54 は、VSS 線 52 と略同じ幅で且つ、その長手方向の主要部が VSS 線 52 と重なる。更にこの上に、層間絶縁膜 55 を介して、VSS 線 56 が形成される。VSS 線 56 は、VDD 線 54 と略同じ幅で且つ、その長手方向の主要部が VDD 線 54 と重なる。更にこの上に、層間絶縁膜 57 を介して、VDD 線 58 が形成される。VDD 線 58 は、VSS 線 56 と略同じ幅で且つ、その長手方向の主要部が VSS 線 56 と重なる。

【0030】なお図では示していないが、VSS 線 52, 56 の間、及び VDD 線 54, 58 の間はそれぞれ、適当な箇所ではビアコンタクトにより相互接続される。この実施の形態においても、VSS 線 52, 56 と VDD 線 54, 58 が交互に 2 層ずつ積層されて、大きな面積で対抗する。従って、VSS 線 52, 56 と VDD 線 54, 58 とは大きな結合容量を示し、電源線ノイズの影響を低減することができる。この実施の形態においても好ましくは、図 5 に示したように、VSS 線 52, 56 と VDD 線 54, 58 の間に、MOS キャパシタ C を挿入する。これにより、一層大きな容量結合が可能になる。

【0031】

【発明の効果】以上述べたようにこの発明によれば、VSS 線と VDD 線とを重ねて配設することによりそれらの容量結合を大きくして、電源線ノイズの影響を効果的に低減した半導体集積回路を得ることができる。

【図面の簡単な説明】

【図 1】この発明の実施の形態による CMOS 集積回路の断面構造を示す図である。

【図 2】同実施の形態の電源線レイアウトを示す図である。

【図 3】同実施の形態の MOS キャパシタの構造と接続関係を示す図である。

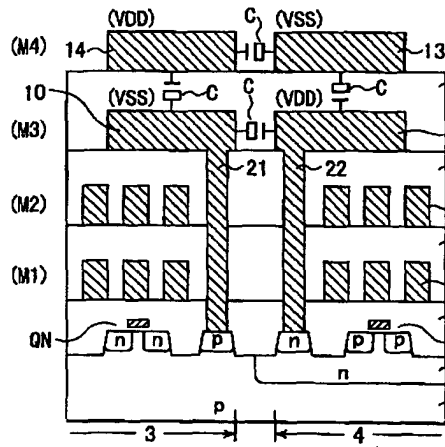
【図 4】この発明の他の実施の形態による CMOS 集積回路の断面構造を示す図である。

【図 5】この発明の他の実施の形態による CMOS 集積回路の断面構造を示す図である。

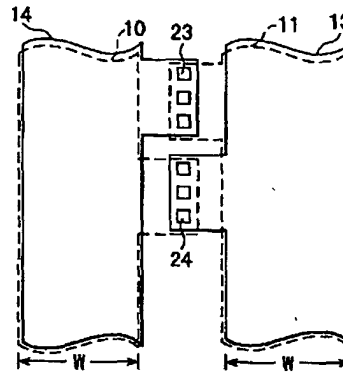
【符号の説明】

1…シリコン基板、2…n 型ウェル、3…NMOS トランジスタ領域、4…PMOS トランジスタ領域、5, 7, 9, 12…層間絶縁膜、6, 8…信号配線、10, 13…VSS 線、11, 14…VDD 線、21, 22…コンタクト、23, 24…ビアコンタクト、C…MOS キャパシタ、41, 44, 47, 49…層間絶縁膜、42, 48…VDD 線、45, 50…VSS 線、44, 46, 51…コンタクト、51, 53, 55, 57…層間絶縁膜、52, 56…VSS 線、54, 58…VDD 線、60…素子分離領域。

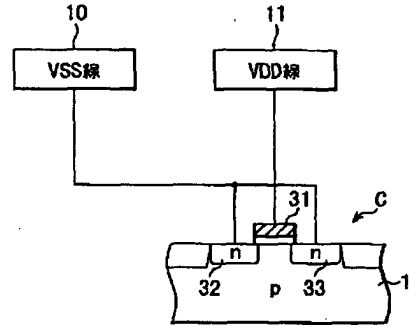
【図1】



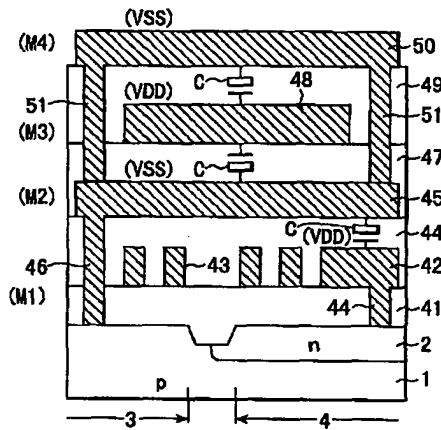
【図2】



【図3】



【図4】



【図5】

